

Patent number: JP6123896
Publication date: 1994-05-06
Inventor: NAKAMURA HIROYOSHI
Applicant: TOKYO SHIBAURA ELECTRIC CO
Classification:
- international: G02F1/136; H01L29/784
- european:
Application number: JP19920274168 19921013
Priority number(s): JP19920274168 19921013

Report a data error here

Abstract of JP6123896

PURPOSE:To decrease an ON-resistance in a video signal write switching thin film transistor and to shorten a write time and to reduce the number of divisions of a video signal by connecting plural thin film transistors hydroprocessed in parallel and keeping individual channel width within the range of a specific value. **CONSTITUTION:**Plural display pixel parts 4 formed two-dimensionally on the same substrate are controlled by forming the drive circuit of a shift regist 1, a buffer 2 and the video signal write switching thin film transistor 3, etc., on the substrate. The switching thin film transistor is driven point-sequentially. At this time, in the video signal writing thin film transistor 3, plural thin film transistors hydroprocessed are connected in parallel, and the individual channel width is kept in 1-30μm. Then, perfect hydroprocess is performed, and the dispersion of the process is reduced. Thus, the on resistance in the video signal write thin film transistor 3 is reduced, and the write time is shortened.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-123896

(43) 公開日 平成6年(1994)5月6日

(51) Int. Cl. ⁵	識別記号	F I
G02F 1/136	500 9018-2K	
H01L 29/784	9056-4M	H01L 29/78 311 C

審査請求 未請求 請求項の数 1 (全 6 頁)

(21) 出願番号 特願平4-274168

(22) 出願日 平成4年(1992)10月13日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 中村 弘喜

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

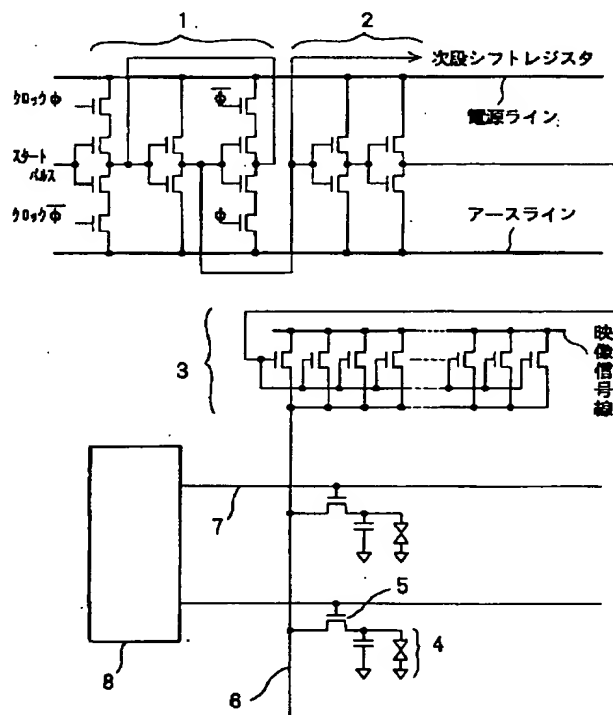
(74) 代理人 弁理士 須山 佐一

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【目的】 液晶表示装置における映像信号書き込みスイッチ用薄膜トランジスタのオン抵抗を下げ、書き込み時間を短くし、および映像信号の分割数を少なくする。

【構成】 液晶表示装置において、信号線走査回路は映像信号処理部と、この映像信号処理部からの映像信号を信号走査線へ書き込みを行う映像信号書き込み用薄膜トランジスタとを備え、映像信号書き込み用薄膜トランジスタが水素化処理されてなる複数の薄膜トランジスタを並列に接続し、かつ並列に接続された薄膜トランジスタの個々のチャネル幅が $1\mu\text{m}$ 以上 $30\mu\text{m}$ 以下である。



【特許請求の範囲】

【請求項 1】 基板と、この基板上に 2 次元状に形成された複数の表示画素部と、これら表示画素部をそれぞれ制御する複数のスイッチング用薄膜トランジスタと、前記薄膜トランジスタを順次駆動するための信号線走査回路およびゲート線走査回路よりなる駆動回路部とを前記基板上に備えた液晶表示装置において、前記信号線走査回路は映像信号処理部と、この映像信号処理部からの映像信号を信号走査線へ書き込みを行う映像信号書き込み用薄膜トランジスタとを備え、前記映像信号書き込み用薄膜トランジスタが水素化処理されてなる複数の薄膜トランジスタを並列に接続し、かつ前記並列に接続された薄膜トランジスタの個々のチャンネル幅が $1\mu\text{m}$ 以上 $30\mu\text{m}$ 以下であることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は表示装置に関し、とくに駆動回路一体型のアクティブマトリックス型液晶表示装置に関する。

【0002】

【従来の技術】 近年、液晶表示装置は、薄型軽量、低消費電力という大きな利点をもつため、液晶テレビ、日本語ワードプロセッサやデスクトップパーソナルコンピュータ等の OA 機器等に種々の液晶表示装置が用いられている。高品質表示が可能な駆動回路一体型のアクティブマトリックス型液晶表示装置もより高品質な表示特性が要求されている。

【0003】 従来の駆動回路一体型のアクティブマトリックス型液晶表示装置の部分回路図を図 7 に示す。従来の駆動回路一体型のアクティブマトリックス型液晶表示装置は、多結晶シリコンからなる薄膜トランジスタを用いてシフトレジスタ 1、バッファ 2、映像信号書き込みスイッチ用薄膜トランジスタ 3 等の駆動回路を基板上に形成して、同一基板上に 2 次元状に形成された複数の表示画素部 4 を制御するスイッチング用薄膜トランジスタ 5 を点順次に駆動する構成となっている。なお、6 は信号線を、7 はゲート線を、8 はゲート走査線駆動回路を表す。ここで、映像信号書き込みスイッチ用薄膜トランジスタ 3 はチャンネル幅を広く形成してオン抵抗を小さくすることにより、必要な書き込み時間内に映像信号を書き込めるように設計される。そのチャンネル幅は、通常 $300\sim 400\mu\text{m}$ であるが、チャンネル幅をさらに広くすると映像信号書き込みスイッチ用薄膜トランジスタ 3 のゲート・ドレイン間の容量に起因する突き抜け電圧が増えるため (SID' 90 DIGEST P315)、その幅にも制限がある。

【0004】 一方、多結晶シリコン薄膜トランジスタは、液晶表示装置のコントラスト低下の原因となるトランジスター動作のオフ側でドレインリーク電流が発生しやすい。また、多結晶シリコン薄膜の特性を向上させるためには移動度を上げなければならない。このため、多

結晶シリコン薄膜トランジスタは、ドレインリーク電流を下げ、移動度を上げるために水素化処理が通常行われている。この水素化処理はチャンネル幅と関連し、チャンネル幅が広くなると水素化処理の効果が少なくなることから、チャンネル部にスリットを入れ、開口部を形成する方法が開示されている (特開昭 62-268161)。

【0005】

【発明が解決しようとする課題】 しかしながら、現行テレビ放送 (NTSC) 規格からハイビジョン放送規格への移行や、インタレース駆動からノンインタレース駆動化等による画像表示の高品質化が進むと映像信号書き込みスイッチ用薄膜トランジスタ 3 への映像信号の書き込み時間が短くなり、点順次駆動法の場合、書き込みが困難となる問題がある。

【0006】 映像信号書き込み時間を長くする手段として、シフトレジスタおよび映像信号を分割する手段も考えられるが、映像信号の分割は外部駆動回路の増大および調整が困難である。したがって、映像信号の分割数を少なくするか、もしくは分割なしで済むように映像信号書き込みスイッチ用薄膜トランジスタ 3 のオン抵抗を低くすることが望ましいが、前述のようにチャンネル幅にも制限があり、またチャンネル部にスリットを入れ、開口部を形成した後水素化処理を行う方法にもつぎのような問題がある。チャンネル部に狭い開口部を形成し、その開口パターン幅をエッチングで形成する場合、四角い開口部の角が丸みをおびたり、また、開口部自身を形成することが困難である。そのうえ、開口部の幅が狭いと活性層端部でのゲート電極耐電圧が悪くなる。

【0007】 さらに、駆動回路一体型液晶表示装置を水素化処理する場合、薄膜トランジスタのチャンネル幅がシフトレジスタ等では狭いパターンとして、映像信号書き込み用薄膜トランジスタやバッファ回路および保護 MOS ダイオードの薄膜トランジスタでは広いパターンとして存在するため、映像信号書き込み用薄膜トランジスタ等のチャンネル幅に最適な時間で水素化処理を行うと、シフトレジスタ等では水素化処理が過剰となり駆動回路部の薄膜トランジスタのディプレッション現象が生じ、オフ時のリーク電流が増え、消費電力も増え、発熱などの問題が生じる。

【0008】 本発明は、このような課題に対処するためになされたもので、駆動回路一体型液晶表示装置において、映像信号書き込みスイッチ用薄膜トランジスタのオン抵抗を下げ、書き込み時間を短くし、および映像信号の分割数を少なくすることのできる液晶表示装置を提供することを目的とする。

【0009】

【課題を解決するための手段】 本発明の液晶表示装置は、基板と、この基板上に 2 次元状に形成された複数の表示画素部と、これら表示画素部をそれぞれ制御する複数のスイッチング用薄膜トランジスタと、この薄膜トラ

ンジスタを順次駆動するための信号線走査回路およびゲート線走査回路よりなる駆動回路部とを基板上に備えた液晶表示装置において、信号線走査回路は映像信号処理部と、この映像信号処理部からの映像信号を信号走査線へ書き込みを行う映像信号書き込み用薄膜トランジスタとを備え、映像信号書き込み用薄膜トランジスタが水素化処理されてなる複数の薄膜トランジスタを並列に接続し、かつ並列に接続された薄膜トランジスタの個々のチャンネル幅が $1\mu\text{m}$ 以上 $30\mu\text{m}$ 以下であることを特徴とする。

【0010】本発明の液晶表示装置において、映像信号書き込み用薄膜トランジスタとともにチャンネル幅の広いバッファ回路および保護 MOS ダイオードの薄膜トランジスタを個々のチャンネル幅が $1\mu\text{m}$ 以上 $30\mu\text{m}$ 以下である薄膜トランジスタを複数個並列に接続してもよい。

【0011】本発明の液晶表示装置は、上述の表示画素部および駆動回路部等を備えた基板の表示画素部全体を、対向基板と所定の間隔で合わせ、そのギャップ部に液晶を注入し、液晶セルを構成する。そして、外装アセンブリを形成して本発明の液晶表示装置を得る。

【0012】

【作用】チャンネル幅の狭い薄膜トランジスタを複数個並列に接続することによって、水素化処理をより完全に行うことができる。また、チャンネル幅はソースおよびドレイン領域間で完全なストライプ状になるので、水素化処理をバラツキなく行うことができる。

【0013】さらに、駆動回路部や画素部等を含めて同一基板上に形成されている薄膜トランジスタのチャンネル幅が略同一であるので、水素化処理等を同一工程で行うことができる。このため、とくに、映像信号書き込みスイッチ用薄膜トランジスタのオン抵抗を下げ、書き込み時間を短くし、および映像信号の分割数を少なくすることができる。

【0014】

【実施例】本発明の実施例を図 1 から図 6 に基づき説明する。多結晶シリコン薄膜トランジスタの水素化処理前後におけるトランジスタ特性を図 4 に示す。水素化処理を行うことにより、移動度の増大、しきい値電圧が低減すること等から、オフ時のリーク電流の低減を図ることができる。ここで、図 4 に示した多結晶シリコン薄膜トランジスタはソースおよびドレイン部は n -領域を有する LDD (Lightly Doped Drain) 構造であることが好ましい。LDD 構造はドレイン部等の近傍の電荷分布を徐々に変化させてドレイン接合等を構成する。電荷分布が徐々に変化するため、接合部の接合電場も徐々に変化し異常なリーク電流が流れなくなる。多結晶シリコン薄膜トランジスタの場合、このような LDD 構造でないとゲートバイアスが負の領域でリーク電流が増大し、リーク電流が増大すると 1 ゲート走査時間内の映像信号保持特性が確保できないためである。

【0015】図 5 は、多結晶シリコン薄膜トランジスタの水素化処理後の移動度およびしきい値電圧特性のチャンネル幅依存性を示したものである。図 5 より、多結晶シリコン薄膜トランジスタでは、水素化処理を同一条件下で行うと、チャンネル幅が広いものほど、水素化が不十分で移動度が低下し、しきい値電圧も大きくなる。一方、チャンネル幅が狭すぎると、ドレイン電流が流れにくくなり、並列に接続する薄膜トランジスタの数が多すぎることになる。このために、本発明におけるチャンネル幅は、 $1\mu\text{m}$ 以上 $30\mu\text{m}$ 以下であることが重要である。

【0016】なお、図 6 は、多結晶シリコン薄膜トランジスタの水素化処理を長時間行くと、水素がドナー的に作用して、トランジスタ特性がエンハンスメント型からディプレッション型へ推移するようすを示したものである。

【0017】図 1 は、本発明の多結晶シリコン薄膜トランジスタからなる駆動回路一体型のアクティブマトリックス型液晶表示装置の部分回路図である。また、図 2 は映像信号書き込みスイッチ用薄膜トランジスタ 3 の平面図である。図 1 において、シフトレジスタ 1、バッファ 2、映像信号書き込みスイッチ用薄膜トランジスタ 3 等の駆動回路を基板上に形成して、同一基板上に 2 次元状に形成された複数の表示画素部 4 を制御するスイッチング用薄膜トランジスタ 5 を点順次に駆動する構成となっている。ここで、映像信号書き込みスイッチ用薄膜トランジスタ 3 は複数の薄膜トランジスタを並列に接続し、かつ並列に接続された薄膜トランジスタの個々のチャンネル幅を約 $8\mu\text{m}$ で形成した。そして、この薄膜トランジスタを 40 個並列に接続することにより、映像信号書き込みスイッチ用薄膜トランジスタ 3 において、映像信号書き込み時にオン抵抗 500Ω 以下が達成できた。

【0018】通常、映像信号線配線容量は 10pF 程度であるので、スイッチング素子としての周波数特性 ($f=1/(2\pi RC)$) より 30MHz 程度の周波数が得られる。これにより、ハイビジョンの映像信号帯域も分割なしで行えるようになり外部回路の負担が軽減される。

【0019】図 3 は、本発明の多結晶シリコン薄膜トランジスタからなる駆動回路一体型のアクティブマトリックス型液晶表示装置の他の部分回路図である。図 3 において、映像信号書き込みスイッチ用薄膜トランジスタ 3 とともにバッファ回路 2 の薄膜トランジスタもチャンネル幅が約 $8\mu\text{m}$ の複数の薄膜トランジスタを並列に接続した構成となっている。バッファ回路 2 はチャンネル幅の大きなインバータ回路が用いられるが、このバッファ回路の薄膜トランジスタを並列接続構造とすることにより、水素化が完全になり、かつ同一製造工程で水素化処理ができた。

【0020】同様に、入力保護回路部に形成される静電対策用の保護 MOS ダイオードも水素化が不十分であると高抵抗となり本来の機能低下をまねくが複数の薄膜トラ

5

ンジスタを、図8に示すように、並列に接続することにより低抵抗化が達成できた。

【0021】

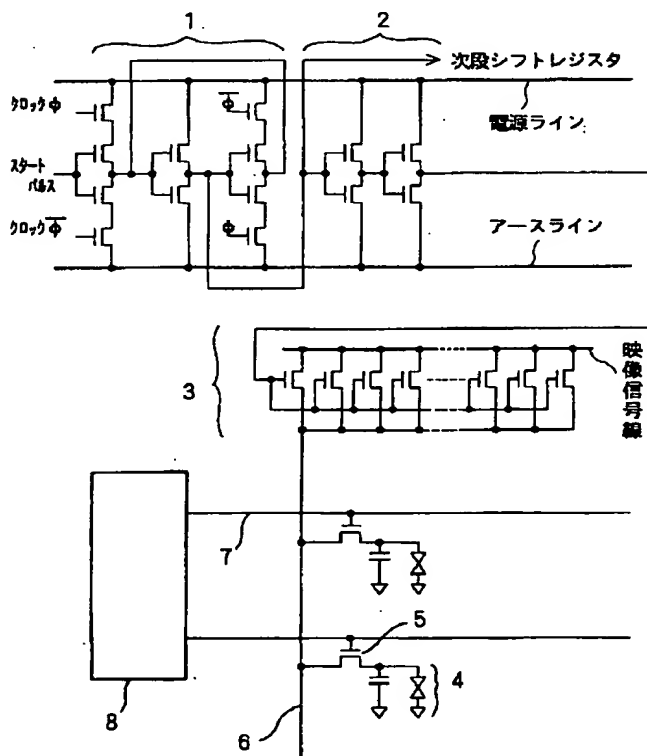
【発明の効果】本発明の液晶表示装置は、映像信号書き込み用薄膜トランジスタが水素化処理されてなる複数の薄膜トランジスタを並列に接続し、かつ並列に接続された薄膜トランジスタの個々のチャンネル幅を $1\mu\text{m}$ 以上 $30\mu\text{m}$ 以下と狭くしたので、完全な水素化処理を行うことができる。このため、映像信号書き込みスイッチ用薄膜トランジスタのオン抵抗を下げ、書き込み時間を短くすることができる。さらにオフ時のリーク電流を下げ、消費電力や発熱を抑えることができる。したがって、コントラストに優れた高品質の画像表示を有する液晶表示装置が得られる。

【0022】また、同一基板上に形成されている薄膜トランジスタのチャンネル幅が略同一であるので、水素化処理等を同一製造工程で行うことができるため、製造工程が簡略化することができ、液晶表示装置の信頼性が向上する。

【図面の簡単な説明】

【図1】本発明の液晶表示装置の部分回路図である。

【図1】



6

【図2】本発明の液晶表示装置における映像信号書き込みスイッチ用薄膜トランジスタ3の平面図である。

【図3】本発明の液晶表示装置の他の部分回路図である。

【図4】多結晶シリコン薄膜トランジスタの水素化処理前後におけるトランジスタ特性を示す図である。

【図5】多結晶シリコン薄膜トランジスタの水素化処理後の移動度およびしきい値電圧特性のチャンネル幅依存性を示す図である。

【図6】多結晶シリコン薄膜トランジスタの水素化処理を長時間行った場合のトランジスタ特性を示す図である。

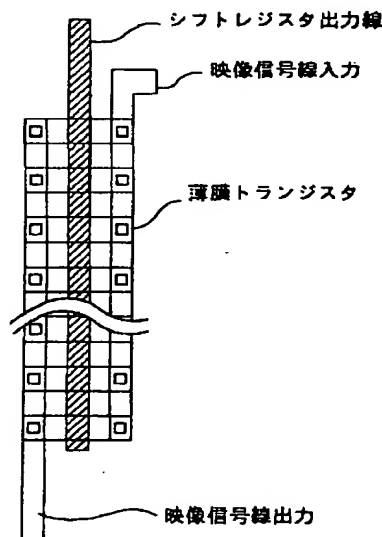
【図7】従来の液晶表示装置の部分回路図である。

【図8】本発明の液晶表示装置の入力保護回路部における保護 MOSダイオードの部分回路図である。

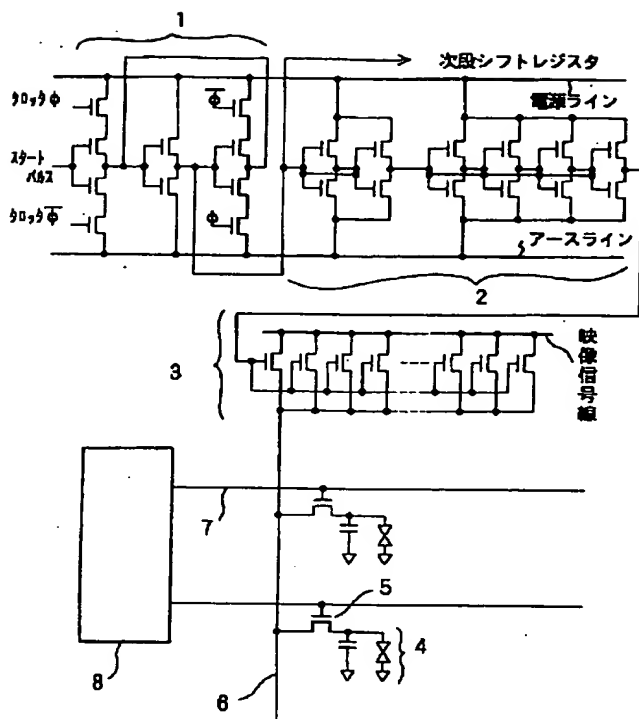
【符号の説明】

1 ……シフトレジスタ、2 ……バッファ、3 ……映像信号書き込みスイッチ用薄膜トランジスタ、4 ……表示画素部、5 ……スイッチング用薄膜トランジスタ、6 ……信号線、7 ……ゲート線、8 ……ゲート走査線駆動回路。

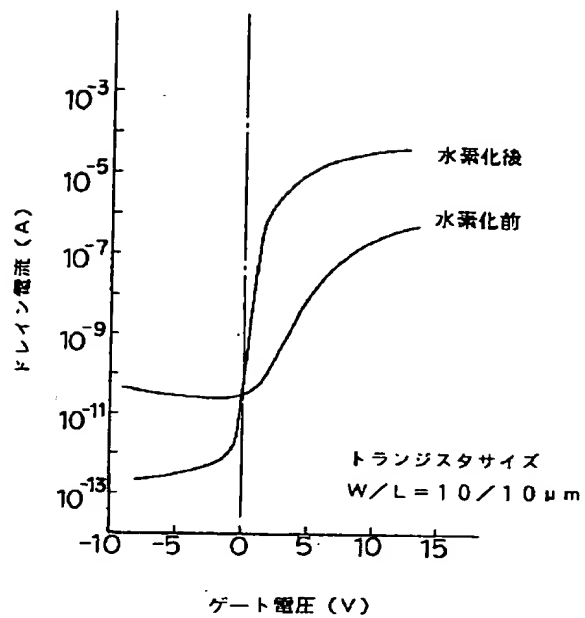
【図2】



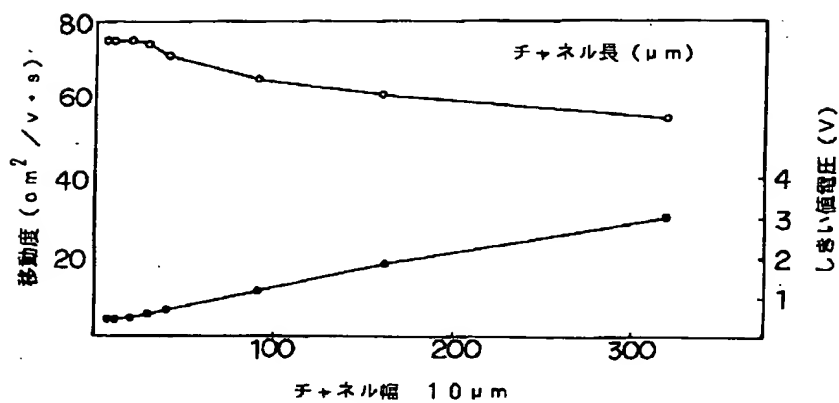
【図 3】



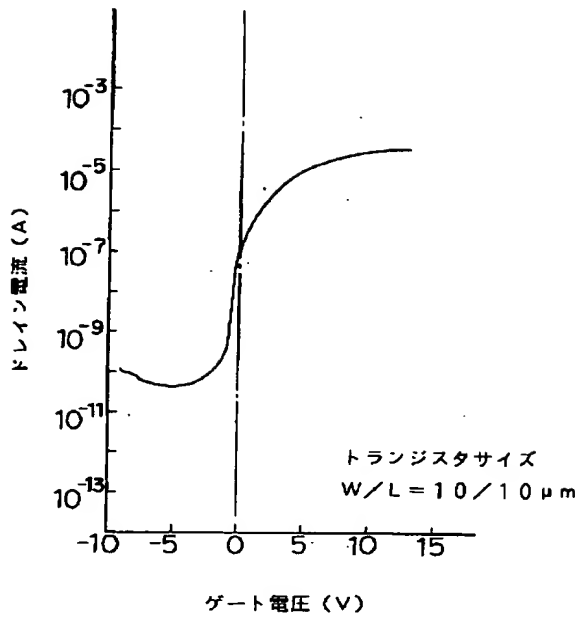
【図 4】



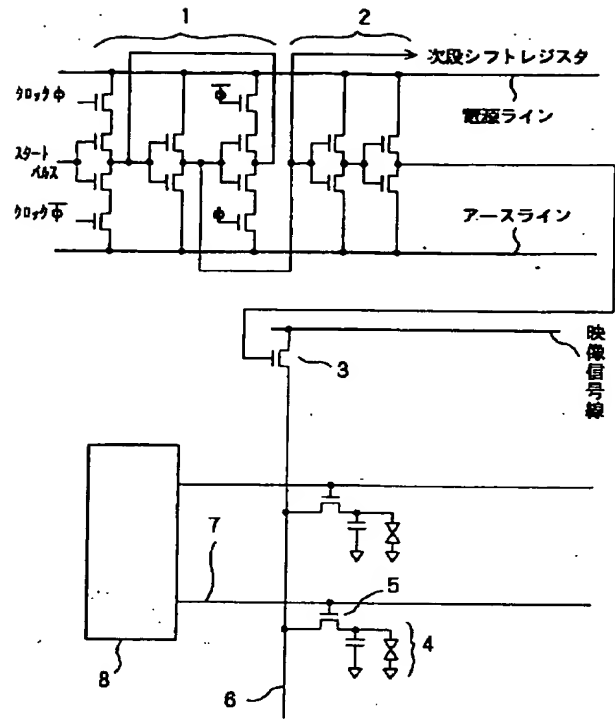
【図 5】



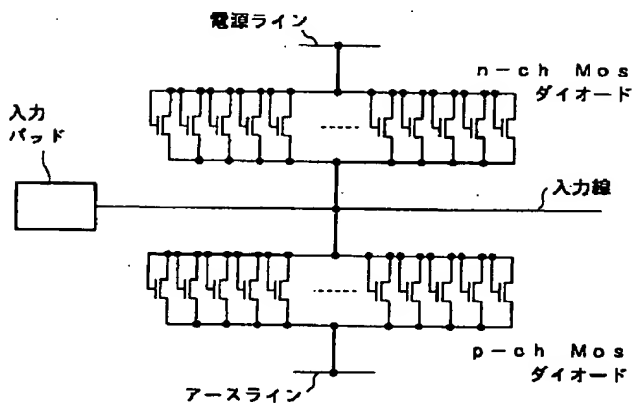
【図 6】



【図 7】



【図 8】



English Translation of JP 6-123896

(19) Japan Patent Office (JP)

(12) Publication of Laid-Open Patent Application (A)

(11) Publication Number of Patent Application: 6-123896

(43) Date of Publication: May 6, 1994

(51) Int. Cl. ⁵ Identification Mark FI

G02F 1/136 500 9018-2K

H01L 29/784

9056-4M

H01L 29/78 311 C

Request for Examination: Not requested

Number of Claims: 1

(Total 6 pages)

(21) Application Number: Japanese Patent Application No. 4-274168

(22) Date of Filing: October 13, 1992

(71) Applicant: 000003078

Toshiba Corp.,

72 Horikawa-cho, Saiwai-ku, Kawasaki-shi, Kanagawa-ken

(72) Inventor: Hiroyoshi Nakamura

c/o Toshiba Corp., Yokohama Works

8 Shinsugita-cho, Isogo-ku, Yokohama-shi, Kanagawa-ken

(74) Representative: Patent Attorney Saichi Suyama

(54) [Title of the Invention]

Liquid Crystal Display Device

(57) [Abstract]

[Object] In a switching thin film transistor for video signal writing of a liquid crystal display

English Translation of JP 6-123896

device, to make ON-resistance lower, to make a period for writing shorter, and to reduce division number of a video signals.

[Structure] In a liquid crystal display device, a signal line scanning circuit includes a video signal processing portion and a video signal writing thin film transistor which writes a video signal from the video signal processing portion to a signal scanning line, wherein the video signal writing thin film transistor is formed by connecting in parallel a plurality of thin film transistors which are formed by hydrotreatment, and each channel width of the thin film transistors which are connected in parallel is $1\mu\text{m}$ or more and $30\mu\text{m}$ or less.

[Scope of Claim]

[Claim 1]

A liquid crystal display device including a substrate, a plurality of display pixel portions formed in a two-dimensional state over the substrate, a plurality of switching thin film transistors each of which controls each of the display pixel portions, and a driving circuit portion for driving the thin film transistors in order having a signal line scanning circuit and a gate line scanning circuit over the substrate, characterized in that the signal line scanning circuit includes a video signal processing portion and a video signal writing thin film transistor which writes a video signal from the video signal processing portion to a signal scanning line; the video signal writing thin film transistor are formed by connecting in parallel a plurality of thin film transistors which are formed by hydrotreatment, and each channel width of the thin film transistors connected in parallel is $1\mu\text{m}$ or more and $30\mu\text{m}$ or less.

[Detailed Description of the Invention]

[0001]

[Industrial Field of the Invention]

The present invention relates to a display device, and especially relates to an active matrix type liquid crystal display device with a driving circuit integrated.

English Translation of JP 6-123896

[0002]

[Prior Art]

Since a liquid crystal display device recently has had great advantages such as thin type, light weight, and low power consumption, various liquid crystal display devices are applied to OA devices such as a liquid crystal television, a word processor for Japanese, and a desktop personal computer, and the like. It is required to have a display characteristic with higher quality than the active matrix type liquid crystal display device with a driving circuit integrated which can display with high quality.

[0003]

A partial circuit diagram of a conventional active matrix type liquid crystal display device with a driving circuit integrated is shown in FIG. 7. In the structure of the conventional active matrix type liquid crystal display device with a driving circuit integrated, driving circuits such as a shift register 1, a buffer 2, and a switching thin film transistor for video signal writing 3 are formed over a substrate by using a thin film transistor including polycrystalline silicon, and a switching thin film transistor 5, which controls a plurality of display pixel portions 4 formed in a two-dimensional state over the same substrate, are driven in a dot-sequential manner. Note that a numeral 6 shows a signal line; 7, a gate line; and 8, a gate scanning line driving circuit. Herein, the switching thin film transistor for video signal writing 3 is designed so that a video signal can be written within the required time for writing by forming a channel width widely and making ON-resistance lower. Usually the channel width is 300 to 400 μm ; however, punch-through voltage due to a capacitance between a gate and a drain of the switching thin film transistor for video signal writing 3 is increased if the channel width is further widened (SID' 90 DIGEST P315). Thus, the width has a limitation.

[0004]

On the other hand, in the polycrystalline silicon thin film transistor, drain-leak current is easily generated at an OFF-side of transistor operation which causes degradation of contrast of a liquid crystal display device. Further, mobility needs to be enhanced for

English Translation of JP 6-123896

improving a characteristic of a polycrystalline silicon thin film. Therefore, usually hydrotreatment is performed for lowering the drain-leak current and enhancing the mobility in the polycrystalline silicon thin film transistor. The hydrotreatment is related to a channel width. Since the efficiency of the hydrotreatment is degraded when the channel width is widened, a method in which a slit is put in a channel portion so as to form an opening portion has been disclosed (Patent Application Laid-Open No. S62-268161).

[0005]

[Problems to be solved by the Invention]

However, if the high quality of image display is enhanced by a shift from current television broadcast standard (NTSC) to high vision broadcast standard, and a shift from interlace driving to non-interlace driving or the like, the time for writing a video signal into a switching thin film transistor for video signal writing 3 is shortened. And in a case of a dot-sequential driving method, there is a problem that writing is difficult.

[0006]

As a means to make a period for writing a video signal longer, a means to divide a shift register and a video signal can be considered. However, as for the division of a video signal, increase and adjustment of an external driving circuit are difficult. Therefore, it is desirable to reduce division number of video signals or make ON-resistance of the switching transistor for video signal writing 3 lower so as to do without division; however, there is a limitation in the channel width as mentioned above, and the method for conducting hydrotreatment after putting a slit in the channel portion so as to form the opening portion has the following problem. In a case where a narrow opening portion is formed in the channel portion and its opening pattern width is formed by etching, the corner of a square opening portion has roundness or it is difficult to form an opening portion itself. Further, if the width of the opening portion is narrow, voltage endurance of a gate electrode becomes worse at an end portion of an active layer.

[0007]

Further, in a case where a liquid crystal display device with a driving circuit

English Translation of JP 6-123896

integrated is hydrogenated, a channel width of a thin film transistor exists as a narrow pattern in the shift register or the like and it exists as a wide pattern in a video signal writing thin film transistor, a buffer circuit, and a thin film transistor of a protection MOS diode. Thus, when a hydrotreatment is conducted in a proper time for a channel width of a video signal writing thin film transistor or the like, the hydrotreatment becomes excessive in the shift register or the like, and a depression phenomenon of a thin film transistor in a driving circuit portion is generated. And further, a leak-current at OFF-time is increased, power consumption is increased, and a problem such as heat generation occurs.

[0008]

The present invention is made for coping with such a problem, and it is an object to provide a liquid crystal display device which can make ON-resistance of a switching thin film transistor for video signal writing lower, make a period for writing shorter, and reduce division number of video signals in a liquid crystal display device with a driving circuit integrated.

[0009]

[Means for Solving the Problem]

A liquid crystal display device of the present invention including a substrate, a plurality of display pixel portions formed in a two-dimensional state over the substrate, a plurality of switching thin film transistors each of which controls each of the display pixel portions, and a driving circuit portion for driving the thin film transistors in order having a signal line scanning circuit and a gate line scanning circuit over the substrate is characterized in that the signal line scanning circuit includes a video signal processing portion and a video signal writing thin film transistor which writes a video signal from the video signal processing portion to a signal scanning line; the video signal writing thin film transistor are formed by connecting in parallel a plurality of thin film transistors which are formed by hydrotreatment; and each channel width of the thin film transistors connected in parallel is $1\mu\text{m}$ or more and $30\mu\text{m}$ or less.

[0010]

English Translation of JP 6-123896

In a liquid crystal display device of the present invention, as well as the video signal writing thin film transistor, a buffer circuit having a wide channel width and a thin film transistor of a protection MOS diode may be formed by connecting a plurality of thin film transistors, whose each channel width is 1 μm or more and 30 μm or less in parallel.

[0011]

In the liquid crystal display device of the present invention, a liquid crystal cell is structured by setting the entire display pixel portion of a substrate including the above-described display pixel portion and a driving circuit portion or the like, and an opposite substrate with a desired interval, and by injecting a liquid crystal in a gap portion of those. Further, the liquid crystal display device of the present invention is obtained by forming an outward assembly.

[0012]

[Operation]

By connecting a plurality of thin film transistors having a narrow channel width in parallel, the hydrotreatment can be carried out more completely. Moreover, the hydrotreatment can be carried out without variation, since the channel width becomes a complete stripe shape between source and drain regions.

[0013]

Further, since channel widths of thin film transistors formed over the same substrate including a driving circuit portion and a pixel portion or the like are almost the same, the hydrotreatment or the like can be carried out with the same process. Therefore, especially, the ON-resistance of the switching thin film transistor for video signal writing can be lowered, a period for writing can be shortened, and division number of video signals can be reduced.

[0014]

[Embodiment]

An embodiment of the present invention is shown with FIGS. 1 to 6. A characteristic of a transistor before and after hydrotreatment of a polycrystalline silicon thin

English Translation of JP 6-123896

film transistor is shown in FIG. 4. By conducting the hydrotreatment, mobility is increased and threshold voltage is reduced and the like, and thus, a leak-current at OFF-time can be attempted to reduce. Herein, in the polycrystalline silicon thin film transistor shown in FIG. 4, it is preferable for source and drain portions to have an LDD (Lightly Doped Drain) structure having an n-region. The LDD structure makes up drain junctions or the like, by changing gradually charge distribution in the vicinity of the drain portion or the like. Since the charge distribution changes gradually, also a junction electric field of the junction portion changes gradually and an extraordinary leak-current does not flow. In a case where the polycrystalline silicon thin film transistor does not have such an LDD structure, leak-current increases in a region where a gate bias is negative. If the leak-current increases, a video signal retention characteristic within one gate scanning time can not be secured.

[0015]

FIG. 5 shows mobility and a channel-width dependency of a threshold voltage characteristic after the hydrotreatment of the polycrystalline silicon thin film transistor. In the polycrystalline silicon thin film transistor in FIG. 5, when hydrotreatment is carried out in the same condition, the hydrogenation is insufficient as the channel width is widened. Thus, the mobility is degraded and threshold voltage is increased. On the other hand, if the channel width is too narrow, drain current is difficult to flow, which means that the number of thin film transistors connected in parallel is too many. Therefore, it is important for the channel width in the present invention to be 1 μm or more and 30 μm or less.

[0016]

It is to be noted that when the hydrotreatment of the polycrystalline silicon thin film transistor is performed for a long period of time, FIG. 6 shows a state where hydrogen functions as a donor and a transistor characteristic shifts from an enhancement type to a depression type.

[0017]

FIG. 1 is a partial circuit diagram of an active matrix type liquid crystal display

English Translation of JP 6-123896

device with a driving circuit integrated including the polycrystalline silicon thin film transistor of the present invention. In addition, FIG. 2 is a plain view of a switching thin film transistor for video signal writing 3. In FIG. 1, it is structured such that driving circuits such as a shift register 1, a buffer 2, and a switching thin film transistor for video signal writing 3 are formed over a substrate, and a switching thin film transistor 5 which controls a plurality of display pixel portions 4 formed in a two-dimensional state over the same substrate is driven in a dot-sequential manner. Herein, the switching thin film transistor for video signal writing 3 was formed by connecting a plurality of thin film transistors in parallel, and each channel width of the connected thin film transistors in parallel was approximately 8 μm . Further, in the switching thin film transistor for video signal writing 3, by connecting the 40 thin film transistors in parallel, ON-resistance of equal to or less than 500 Ω was achieved at the time of writing a video signal.

[0018]

Usually, since a video signal line wiring capacitance is approximately 10 pF, the frequency of approximately 30 MHz can be obtained due to a characteristic of frequency ($f=1/(2\pi RC)$) as a switching element. For this reason, a video signal band of high vision can be conducted without division, and thus, burden of an external circuit is reduced.

[0019]

FIG. 3 is a partial circuit diagram of an active matrix type liquid crystal display device with a driving circuit integrated including the polycrystalline silicon thin film transistor of the present invention. In FIG. 3, a thin film transistor of a buffer circuit 2 is structured such that a plurality of thin film transistors, whose channel width is approximately 8 μm , is connected in parallel as well as the switching thin film transistor for video signal writing 3. For the buffer circuit 2, an inverter circuit having a wide channel width is used. By making the thin film transistor of the buffer circuit have a parallel connection structure, hydrogenation is completed and the hydrotreatment can be conducted with the same manufacturing process.

[0020]

English Translation of JP 6-123896

Similarly, if hydrogenation of a protection MOS diode for electrostatics measures formed in an input protection circuit portion is insufficient, it becomes high resistance and degradation of a primary function is brought about. However, low resistance can be achieved by connecting a plurality of thin film transistors in parallel as shown in FIG. 8.

[0021]

[Effect of the Invention]

In the liquid crystal display device of the present invention, a video signal writing thin film transistor is formed by connecting in parallel a plurality of thin film transistors which are formed by hydrotreatment and each channel width of the thin film transistors connected in parallel is made narrow so as to have 1 μm or more and 30 μm or less. Thus, complete hydrotreatment can be conducted, and variation of hydrotreatment can be decreased. Therefore, ON-resistance of a switching thin film transistor for video signal writing can be made low and a period for writing can be shortened. Further, leak-current at OFF-time can be reduced and power consumption and heat generation can be suppressed. Therefore, a liquid crystal display device having a high-quality image display which is excellent in contrast can be obtained.

[0022]

Moreover, since the channel widths of the thin film transistors formed over the same substrate are almost the same, hydrotreatment or the like can be conducted in the same manufacturing process. Therefore, the manufacturing process can be simplified and reliability of the liquid crystal display device is improved.

[Brief description of the Drawings]

[FIG. 1] A partial circuit diagram of a liquid crystal display device of the present invention.

[FIG. 2] A plain view of a switching thin film transistor for video signal writing 3 in a liquid crystal display device of the present invention.

[FIG. 3] Other partial circuit diagram of a liquid crystal display device of the present invention.

English Translation of JP 6-123896

[FIG. 4] A graph showing a transistor characteristic before and after hydrotreatment of a polycrystalline silicon thin film transistor.

[FIG. 5] A graph showing mobility and channel-width dependency of a threshold voltage characteristic after hydrotreatment of a polycrystalline silicon thin film transistor.

[FIG. 6] A graph showing a transistor characteristic in a case where hydrotreatment of a polycrystalline silicon thin film transistor is conducted for a long period of time.

[FIG. 7] A partial circuit diagram of a conventional liquid crystal display device.

[FIG. 8] A partial circuit diagram of a protection MOS diode in an input protection circuit portion of a liquid crystal display device of the present invention.

[Description of the Numerals]

1: shift register

2: buffer

3: switching thin film transistor for video signal writing

4: display pixel portion

5: switching thin film transistor

6: signal line

7: gate line

8: gate scanning line driving circuit

(4)

特開平6-123896

5

ンジスタを、図8に示すように、並列に接続することにより低抵抗化が達成できた。

【0021】

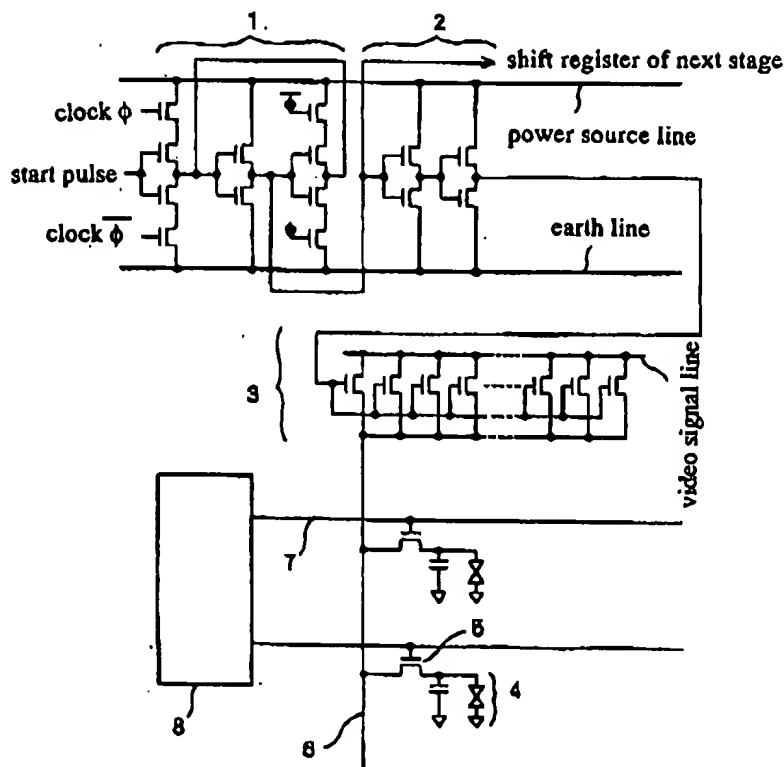
【発明の効果】本発明の液晶表示装置は、映像信号書き込み用薄膜トランジスタが水素化処理されてなる複数の薄膜トランジスタを並列に接続し、かつ並列に接続された薄膜トランジスタの個々のチャネル幅を $1\mu\text{m}$ 以上 $30\mu\text{m}$ 以下と狭くしたので、完全な水素化処理を行うことができるとともに、水素化処理のパラッキを少なくすることができる。このため、映像信号書き込みスイッチ用薄膜トランジスタのオン抵抗を下げ、書き込み時間を短くすることができる。さらにオフ時のリーク電流を下げ、消費電力や発熱を抑えることができる。したがって、コントラストに優れた高品質の画像表示を有する液晶表示装置が得られる。

【0022】また、同一基板上に形成されている薄膜トランジスタのチャネル幅が略同一であるので、水素化処理等を同一製造工程で行うことができるため、製造工程が簡略化することができ、液晶表示装置の信頼性が向上する。

【図面の簡単な説明】

【図1】本発明の液晶表示装置の部分回路図である。

【FIG. 1】



6

【図2】本発明の液晶表示装置における映像信号書き込みスイッチ用薄膜トランジスタ3の平面図である。

【図3】本発明の液晶表示装置の他の部分回路図である。

【図4】多結晶シリコン薄膜トランジスタの水素化処理前後におけるトランジスタ特性を示す図である。

【図5】多結晶シリコン薄膜トランジスタの水素化処理後の移動度およびしきい値電圧特性のチャネル幅依存性を示す図である。

【図6】多結晶シリコン薄膜トランジスタの水素化処理を長時間行った場合のトランジスタ特性を示す図である。

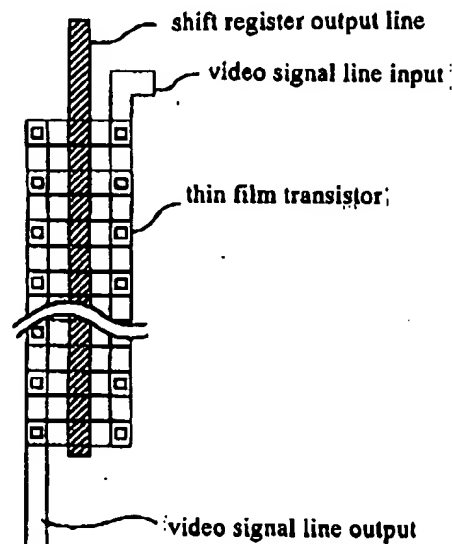
【図7】従来の液晶表示装置の部分回路図である。

【図8】本発明の液晶表示装置の入力保護回路部における保護MOSダイオードの部分回路図である。

【符号の説明】

1 ……シフトレジスタ、2 ……バッファ、3 ……映像信号書き込みスイッチ用薄膜トランジスタ、4 ……表示画素部、5 ……スイッチング用薄膜トランジスタ、6 ……信号線、7 ……ゲート線、8 ……ゲート走査線駆動回路。

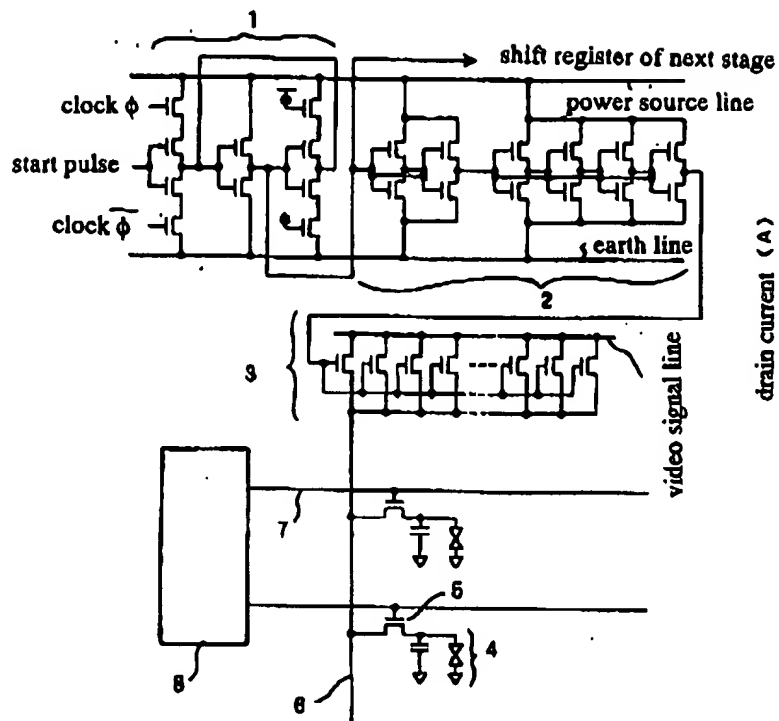
【FIG. 2】



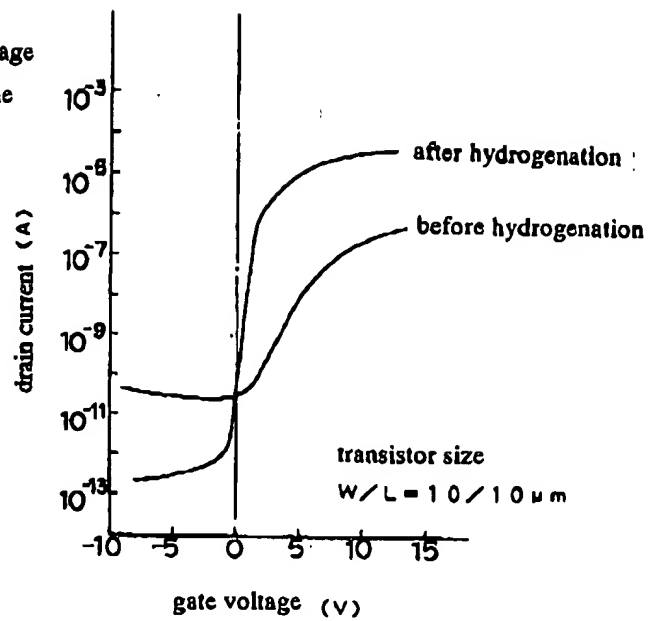
(5)

特開平 6 - 1 2 3 8 9 6

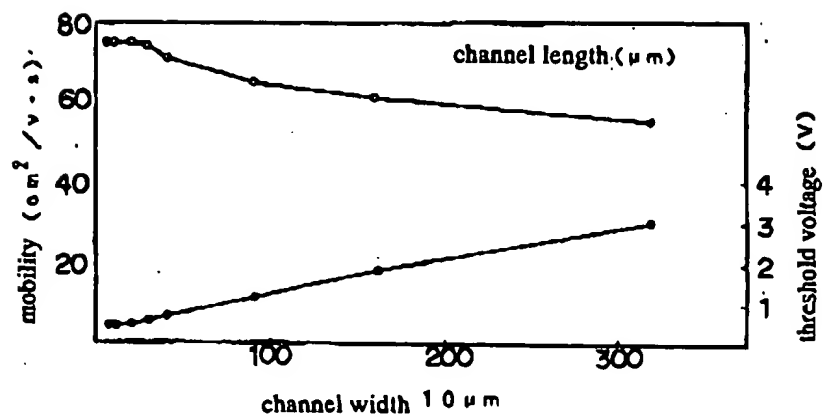
[FIG. 3]



[FIG. 4]



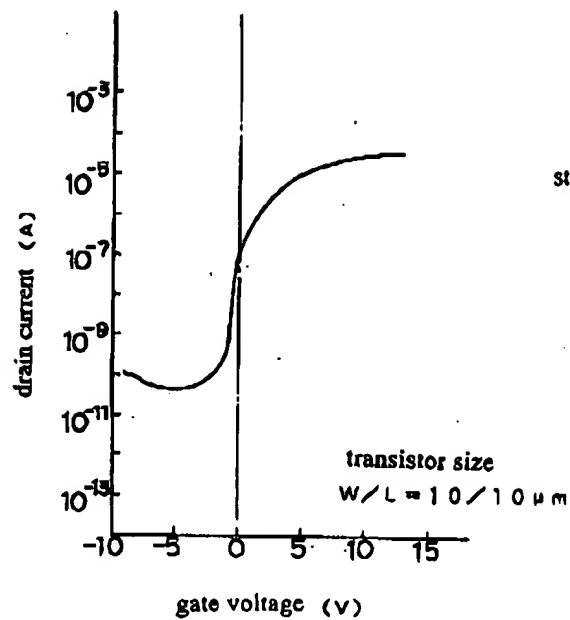
[FIG. 5]



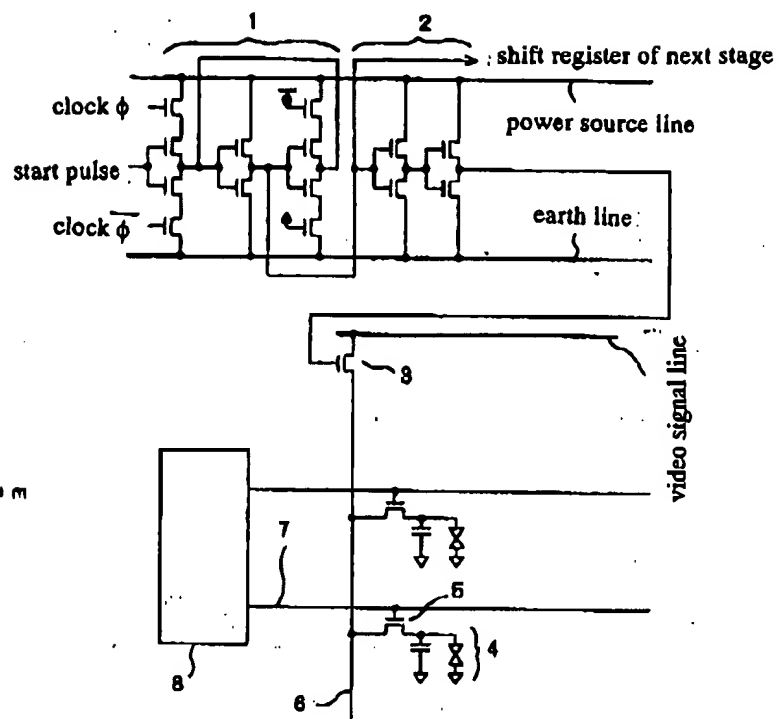
(8)

特開平6-123896

[FIG. 6]



[FIG. 7]



[FIG. 8]

